

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329780

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/768
H01L 21/8238
H01L 27/092

(21)Application number : 2001-131941

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2001

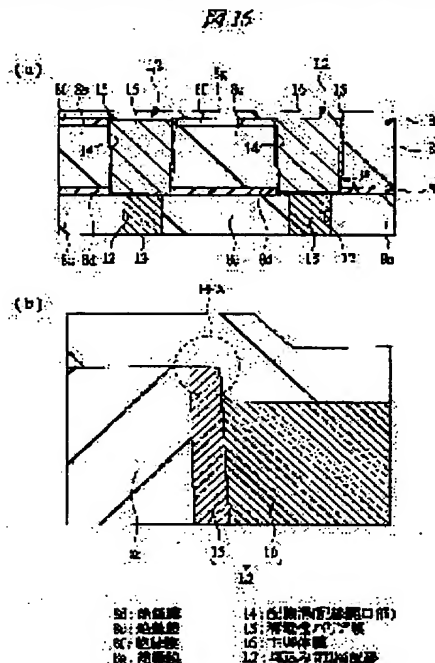
(72)Inventor : NOGUCHI JUNJI
MARUYAMA HIROYUKI
OHASHI TADASHI

(54) FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve insulation break down resistance between wirings having copper as the main conductive layer.

SOLUTION: A buried wiring structure when the electric field concentrates in the upper portion has the main component of copper separated from the polished face of the insulation film of the circumference when the electric field concentrates in the upper portion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(11)特許出願公開番号

特開2002-329780

(P2002-329780A)

(43)公開日 平成14年11月15日(2002.11.15)

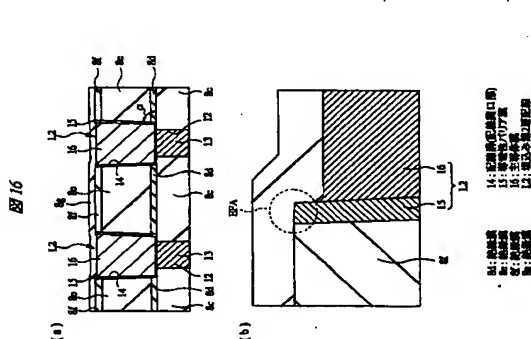
(51) IntCl. ¹	H 01 L 21/768	識別記号	F I	H 01 L 21/90	サーチコード (参考)
	21/8238			27/08	B 5 F 0 3 3
	27/082				3 2 1 F 5 F 0 4 8
(21) 出願番号	特願2001-131941(P2001-131941)				
(22) 出願日	平成13年4月27日(2001.4.27)				
(71) 出願人	000005108	株式会社日立製作所			
		東京都千代田区神田豊河台西4丁目6番地			
(72) 発明者	野口 純司				
		東京都青森市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内			
(72) 発明者	丸山 裕之				
		東京都青森市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内			
(74) 代理人	100080001	弁護士 筒井 大和			

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

【57】【要約】

【課題】銅を主導電層とする配線間の絶縁破壊耐性を向上させる。

【解決手段】銅を主成分とする埋込み配線の上部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するよう埋込み配線構造とした。



【特許請求の範囲】

【請求項1】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板の主面上に第1の地殻膜を堆積する工程、(b) 前記第1の地殻膜に配線開口部を形成する工程、(c) 前記配線開口部に、前記第1の地殻膜の上面に対して段差が生じるような上面の高さを待ち、銅を主として段差が形成される工程、(d) 前記第1の地殻膜および前記配線開口部に第2の地殻膜を堆積する工程。

【請求項2】請求項1記載の半導体装置の製造方法に
いて、

記(c)工程は、

記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用第2の導体膜を順に堆積する工程。

前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法に
いて、

記(c)工程は、記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用第2の導体膜を順に堆積する工程、

前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

前記配線の上面が、前記第1の絶縁膜の上面よりも高く
なるように、前記第1の絶縁膜の上部を選択的にエッチ
ング除去する工程を有することを特徴とする半導体装置
製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法に
いて、

記(c)工程は、記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

こに配線を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程。

【請求項5】請求項1記載の半導体装置の製造方法に

記(c)工程は、記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

前記鋼を主成分とする配筋形成用の導体膜を研削することにより、前記配筋開口部内に配筋を形成する工程、前記配筋の上面が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法に
おいて、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対してアンモニアガス雰囲気においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対して水素ガス雰囲気においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、

前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記水素プラズマおよびアンモニアガスプラズマ処理の後、大気開放せずに連続して、前記第1の絶縁膜および前記配線上に、前記第2の絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1記載の半導体装置の製造方法において、前記第 1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭窒化シリコン膜またはトリメチキシランガスを、用いた炭化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1記載の半導体装置の製造方法において、前記第2の絶縁膜は、銅の拡散を抑制または

防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記第2の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスをを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項16】 以下の構成を有することを特徴とする半導体装置；

(a) 第1の絶縁膜に形成された配線開口部、(b) 前記配線開口部内に埋め込まれるように設けられ、前記第1の絶縁膜の上面に対して段差が生じるような上面の高さを持ち、銅を主成分として含む配線、(c) 前記第1の絶縁膜の上面に設けられた第2の絶縁膜、

【請求項17】 請求項16記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも低いことを特徴とする半導体装置。

【請求項18】 請求項16記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも高いことを特徴とする半導体装置。

【請求項19】 請求項16記載の半導体装置において、前記配線は、配線形成用の第1の導体膜と、これよりも相対的に厚く前記配線開口部内に埋め込まれた銅を主成分とする配線形成用の第2の導体膜とを有することを特徴とする半導体装置。

【請求項20】 請求項16記載の半導体装置において、前記配線は、銅を主成分とする配線形成用の導体膜からなることを特徴とする半導体装置。

【請求項21】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率半導体絶縁膜からなることを特徴とする半導体装置。

【請求項22】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項23】 請求項22記載の半導体装置において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項25】 請求項16記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項26】 請求項25記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項27】 第1の絶縁膜に形成された配線開口

部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜を有し、前記配線において電界が集中する角部を、その周囲の前記第1の絶縁膜の上面から離間させたことを特徴とする半導体装置。

【請求項28】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜を有し、前記配線の上面の高さ位置を、前記第1、第2の絶縁膜の界面の高さ位置からずらしたことを特徴とする半導体装置。

【請求項29】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜を有し、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上に、銅の拡散を抑制または防止する性質を有する半導体装置の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項30】 請求項29記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項31】 請求項29記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項32】 請求項31記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項33】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜を有し、前記第1の絶縁膜を、銅の拡散を抑制または防止する性質を有する半導体装置。

【請求項34】 請求項33記載の半導体装置において、前記第1の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【発明の詳細な説明】
【0001】 発明の属する技術分野】 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、銅を主導体とする埋込み配線を有する半導体装置技術に適用して有効な技術に関するものである。

【0002】
【従来の技術】 近年は、例えばダマシン (Damascene) と呼ばれる配線形成技術が検討されている。このダマシン法は、シングルダマシン (Single-Damascene) 法とデュ

ュアルダマシン (Dual-Damascene) 法とに大別できる。シングルダマシン法は、例えば絶縁膜に配線溝を形成した後、その絶縁膜上および配線溝内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば化学的機械的研磨法 (CMP; Chemical Mechanical Polishin g) によって配線溝内に埋込されるように研磨することにより、配線溝内に埋込み配線を形成する方法である。また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための孔を形成した後、その絶縁膜上、配線溝および孔内に配線形成用の主導電層を堆積し、さらに、その主導電層をCMP等によって配線溝および孔内に埋込されるように研磨することにより、配線溝および孔内に埋込み配線を形成する方法である。いずれの方法においても、配線の主導体材料としては、半導体装置の性能を向上させる観点等から、例えば銅等のような低抵抗材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が約1.5倍大きいという利点を持ち、同じ配線断面の容量も低減できる。しかし、銅は、例えばアルミニウム等のような金属と比較して絶縁膜中に拡散され易いとされている。このため、銅を配線材料として用いる場合、銅からなる主導体膜の表面 (底面および側面)、すなわち、配線溝の内壁面 (側面および底面) に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要性がある。また、配線溝が形成された絶縁膜の上面に、例えば炭化シリコン膜等からなるキャップ膜を堆積することにより、埋込み配線中の銅が、埋込み配線の上面から絶縁膜中に拡散することを防止する技術がある。

【0003】
【発明が解決しようとする課題】 ところが、本発明者らの検討結果によれば、上記銅を主導体層とする埋込み配線技術においては、以下の課題があることを見出した。

【0004】 すなわち、銅を配線材料に用いた場合、T DDB (Time Dependence on Dielectric Breakdown) 寿命が、他の金属材料 (例えばアルミニウムやタンダスデン) に比べて著しく短いという問題がある。その上、配線ビッチの微細化が進み、有効電界強度が増加する傾向にあることに加え、近年は配線容量を低減する観点等から酸化シリコン膜より高誘電率の低い絶縁材料を配線間から酸化シリコン膜として使用する方向にあるが、誘電率の低い絶縁膜は一般的に絶縁強度も低いことから、T DDB寿命の確保が大きな困難となる状況にある。

【0005】 本発明の目的は、銅を主導体層とする配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0006】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであらう。
【0007】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの特徴を簡単に説明すれば、次のとおりである。

【0008】 すなわち、本発明は、銅を主導体層として含む配線において電界が集中する箇所を、その周囲の絶縁膜の研磨面から離間させるものである。

【0009】 また、本発明は、銅を主導体層として含む配線の上部角の高さを、その配線が形成される絶縁膜と、その配線を覆うように絶縁膜上に設けられた他の絶縁膜との界面の高さに対して上または下方向にずらすものである。

【0010】 また、本発明は、銅を主導体層として含む配線が形成される絶縁膜であって、その配線を覆うように絶縁膜上に設けられた他の絶縁膜と接する界面部分に、銅の拡散を抑制または防止する性質を有する絶縁膜を設けたものである。

【0011】 また、本発明は、銅を主導体層として含む埋込み配線の絶縁膜において、少なくとも埋込み配線の上面に接される絶縁膜界面に接する部分に、銅の拡散を抑制または防止する性質を有する絶縁膜が配置されるように絶縁膜を構成したものである。

【0012】
【発明の実施の形態】 本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0013】 T DDB (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁破壊の時間的依存性を客観的に計る尺度であって、所定の電圧 (例えば1400℃) の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電圧に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度 (例えば0.2MV/cm) に外挿して求めた時間 (寿命) をいう。

【0014】 図1は、本願のT DDB寿命測定に使用した試料を示し、図1(a)は平面図、図1(b)および図1(c)は図1(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は銅線にはウエハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の銅形配線1を第2配線M2に形成し、最上層のバッドP1、P2に各々接続する。この銅形配線1間に電界が印加され電流が測定される。バッドP1、P2は測定端子である。銅形配線1の配線幅、配線間隔、配線厚さはそれぞれ0.5μmである。また、配線対向長は1.58×10⁵μmである。

【0015】 図2は、測定の概要を示した説明図である。試料は測定ステージSに保持され、バッドP1、P2間に電圧印加測定器 (1ノV測定器) を接続する。測定ステージSはヒータHで加熱され試料温度が140℃に調整される。T DDB寿命測定は定電圧ストレス法

いられる絶縁膜の材料として、例えばFSG(高密度プラズマCVD(Chemical Vapor Deposition)法によるフッ素ドーパド酸化膜(SiOF₂))、p-SiOC、SiLK(米The Dow Chemical Co製、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0 MV/Vm)等のような誘電率の低い、いわゆるLow-k絶縁膜(Kは比誘電率)を用いることが本格的に検討されている。しかし、この場合、配線間の絶縁抵抗が酸化シリコン膜を用いている場合に比べて必然的に低下する。

【0042】図3は、p-TEOS(比誘電率=4.2)、FSG(比誘電率=3.5)、SiLK(比誘電率=2.7)を用いた層状配線構造のTDDBB寿命の測定結果を示している。この結果から分かるように、銅配線に用いる絶縁膜のLow-k化が進むと、Low-k絶縁膜の物理的・化学的性質から絶縁破壊耐圧も低下し、その結果、TDDBB寿命の低下を招く。したがって、Low-k絶縁膜構造を採用する場合には、今まで以上に信頼性(TEOS寿命)の確保に対して積極的に対策する必要がある。

【0043】図4は、配線間の絶縁膜としてSiLKを用いて実際に作成した配線構造の断面TEM(Transmission Electron Microscope)写真の模式図である。絶縁膜50上には、絶縁膜51~54が下方から順に堆積されている。絶縁膜50、53は、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiO₂)からなる。絶縁膜51、54は、例えばFSG(比誘電率=4.2)である。絶縁膜52は、例えばSiLK(比誘電率=2.7)である。絶縁膜53は、例えばSiLK(比誘電率=2.7)である。絶縁膜51~53は、配線層5が形成されており、その内部に埋込み配線56が形成されている。埋込み配線56は、銅からなる主導体層56、その外周面および底面を被覆する相対的に薄い上記導電性バリア膜とを有している。埋込み配線56の厚さは50nm程度、h1は、例えば438nm程度または35nm程度である。埋込み配線56の下部の幅w1は、例えば240nm程度、上部の幅w2は、例えば260nm程度である。そして、互いに隣接する埋込み配線56において、下部の間隔d1は、例えば260nm程度、上部の間隔d2は、例えば240nm程度である。

【0044】この断面TEM写真から実測値をデバイスシミュレータに入力し電圧分布を計算した。例として5Vの電圧を印加した場合の電圧分布を図5に示す。黒塗りの領域が最も電圧分布の高い領域を示している。この結果から分かるように、埋込み配線56の上部、いわゆるCMP面(CMPで研磨された面)に電圧が集中していることが分かる。さらに、埋込み配線56近傍のY1~Y1領域の電圧分布を図6に示す。SiLKからなる

絶縁膜52における電界に対して、絶縁膜53と絶縁膜54との界面の電界は、約30%強くなっている。

【0045】このように、銅を主導体とした埋込み配線構造においては、電界分布がCMP面に集中する。ここで、上記した電界集中モデルを図7に示す。CMP面の埋込み配線56の角部に電界が集中する理由として、例えば次の2つが考えられる。第1は、互いに隣接する埋込み配線間の距離が最も短い。第2は、埋込み配線の角部の形状が角形状となっていることである。このような電界集中箇所では、上記銅のイオン化が助長される。このため、TDDBB寿命の劣化の原因となる。

【0046】さらに、埋込み配線56の上部角に電界が集中する理由ではないが、TDDBB寿命を劣化させる原因として、例えば次のような理由があることを本発明者らは見出した。すなわち、埋込み配線56の上面側を覆う絶縁膜54は、比誘電率の高い酸化シリコン膜を使用している。このため、その絶縁膜54において、互いに隣接する埋込み配線間の中央全体における電界強度が高くなる。この結果、その下層の酸化シリコン膜からなる絶縁膜53の電界も高くなる。この電界が高くなる部分は互いに隣接する埋込み配線56間であり、また、絶縁膜53、54の界面はCMP面であることから、その高電界によるTDDBB寿命の劣化に対する影響も大きい。その上、配線ピッチの縮小に伴い、実効電界強度が増加するの、TDDBB寿命の確保が益々困難になる。

【0047】そこで、本実施の形態においては、CMP面での埋込み配線への電界集中を緩和し、TDDBB特性を改善させることを検討した。

【0048】本発明の技術思想を、例えばCMIS(Coplementary MIS)-LSI(LargeScale Integrated circuit)の製造方法に適用した場合は図8~図16を用いて説明する。なお、図8(a)はCMIS-LSIの製造工程における要部断面図、図8(b)は図8(a)のX1-X1線の断面図である。また、図9~図11、図13~図15は、各工程における図8(a)のX1-X1線に相当する部分の断面図である。

【0049】図8に示すように、ウェハを構成する基板1は、例えば1~10Qcm程度の比抵抗を有するp型の単結晶シリコンからなる。基板1の主面(素子形成面)には、溝形分離部(SGL:Shallow Groove Isolation)2が形成されている。この溝形の分離部2は、基板1の主面に形成された溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。また、基板1の主面側には、p型ウェルPWLLおよびn型ウェルNWLLが形成されている。p型ウェルPWLLには、例えばホウ素が導入され、n型ウェルNWLLには、例えばリンが導入されている。このような分離部2に囲まれたp型ウェルPWLLおよびn型ウェルNWLLの活性領域には、nMISQnおよびpMISQpが形成されている。

【0050】nMISQnおよびpMISQpのゲート

【0053】nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接するn型半導体領域と、n型半導体領域に接続され、かつ、n型半導体領域分だけチャネルから離間する位置に設けられたn型半導体領域とを有している。n型半導体領域およびn型半導体領域には、例えばリンまたはヒ素が導入されている。一方、pMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接するp型半導体領域と、p型半導体領域に接続され、かつ、p型半導体領域分だけチャネルから離間する位置に設けられたp型半導体領域とを有している。p型半導体領域およびp型半導体領域には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチャタンスサイド層またはコバルトシリサイド層等のようなシリサイド層が形成されている。

【0054】このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4の嵌りスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG(Boron-doped Phospho Silicate Glass)膜からなる。また、スピンドル法によって形成されるSOG(Spin On Glass)膜で構成しても良い。絶縁膜8aには、コンタクトホール9が形成されている。コンタクトホール9の底部からは半導体領域6、7の上面一部が露出している。このコンタクトホール9内には、プラグ10が形成されている。プラグ10は、例えばコンタクトホール9の内部を含む絶縁膜8a上にCVD法等で窒化チタン(TiN)膜およびタンダステン(W)膜を堆積した後、絶縁膜8a上の不要な窒化チタン膜およびタンダステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール9内のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜8a上には、例えばタンダステンからなる第1層配線11が形成されている。第1層配線11は、プラグ10を通じてnMISQnおよびpMISQpのソース・ドレイン用の半導体領域6、7やゲート電極4と電気的に接続されている。また、絶縁膜8a上には、第1層配線11を覆うように、絶縁膜8b、8cが下層から順に堆積されている。

【0056】絶縁膜8bは、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えばSiLK(米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0 MV/Vm)またはポリアルエーテル(PAE)系材料のFLARE(米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400℃以上)等がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れたという特徴を有している。上記有機シリカガラス(SiOC系材料)としては、例えばHSG-R7(日立化成工業製、比誘電率=2.8、

絶縁膜3は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜3の膜厚とは、二酸化シリコン換算膜厚(以下、単に換算膜厚という)であり、実際の膜厚と一致しない場合もある。ゲート絶縁膜3は、酸化シリコン膜に代えて酸化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜3と基板1との界面に窒素を偏析させる構造としても良い。酸化シリコン膜は、酸化シリコン膜に比べて膜中の界面状態の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜3のホットキャリア耐性を向上でき、絶縁膜3の性能を向上させることができる。また、酸化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、酸化シリコン膜を用いることにより、ゲート絶縁膜3中の不純物が基板1側に拡散することと起因するしきい値電圧の変動を抑制することができ、酸化シリコン膜を形成するには、例えば基板1をNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウェルPWLLおよびn型ウェルNWLLのそれぞれの表面に酸化シリコン膜からなるゲート絶縁膜3を形成した後、基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜3と基板1との界面に窒素を偏析させることによって、上記と同様の効果を得ることができる。

【0051】また、ゲート絶縁膜3を、例えば酸化シリコン膜、あるいは酸化シリコン膜と酸化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁膜3の低下が顕在化する。酸化シリコン膜は、酸化シリコン膜よりも誘電率が高いためその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、酸化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができ、ゲート絶縁膜3を単一の酸化シリコン膜であるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができ、トンネル漏れ電流の発生やホットキャリアによる絶縁膜3の低下を改善することができる。

【0052】nMISQnおよびpMISQpのゲート電極4は、例えば低抵抗多結晶シリコン膜上にチャタンスサイド層(TiSi₂)膜またはコバルトシリサイド(CoSi₂)膜を形成されてなる。ただし、ゲート電極構造は、これに限定されるものではなく、例えば低抵抗多結晶シリコン膜、WN(窒化タンダステン)膜およびW(タンダステン)膜の複合膜で構成される。いわゆるポリメタルゲート構造としても良い。ゲート電極4の側面には、例えば酸化シリコンからなるサイドウォール5が形成されている。

耐熱温度=650℃)、Black Diamond (米Applied Materials, Inc製、比誘電率=3.0~2.4、耐熱温度=450℃)またはp-MTES (日立開発製、比誘電率=3.2)等がある。その他のSiOC系材料としては、例えばCORAL (米Novellus Systems, Inc製、比誘電率=2.7~2.4、耐熱温度=500℃)、Aurora 2.7 (日本エー・エス・エム社製、比誘電率=2.7、耐熱温度=450℃)等がある。

【0057】また、絶縁膜8bの低誘電率材料として

【0057】また、絶縁膜8bの低誘電率材料としては、例えばFSG(SiOF系材料)、HSQ(hydrogen silsesquioxane)系材料、MSQ(methyl silsesquioxane)系材料、ボラスHSQ系材料、ボラスMSiOx系材料、ボラスHSQ系材料を用いることもできる。HSQ系材料としては、例えばOCD-T-12(東京応化工工業、比誘電率=3.4~2.9、耐熱温度=450℃)、FOX(米Dow Corning Corp.、比誘電率=2.9)などはOCL-T-32(東京応化工工業、比誘電率=2.9)などである。

誘電率=2.9)またはOCL T-32 (東京応化工業製、比誘電率=2.5、耐熱温度=450℃)等がある。

【0058】MSQ系材料としては、例えばOCD T-9 (東京応化工業製、比誘電率=2.7、耐熱温度=600℃)、LKD-T200 (JSR製、比誘電率=2.7~2.5、耐熱温度=450℃)、HOSP (米Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=550℃)、HSG-RZ25 (日立化成工業製、比誘電率=2.5、耐熱温度=650℃)、OCL T-31 (東京応化工業製、比誘電率=2.3、耐熱温度=500℃)またはLKD-T400 (JSR製、比誘電率=2.2~2.2、耐熱温度=450℃)等がある。

【0059】 ポーラスHSC系材料としては、例えばX
LK (米Dow Corning Corp. 製、比誘電率=2.5~
2)、OCL T-72 (東京応化工工業製、比誘電率=
2.2~1.9、耐熱温度=450℃)、Nanogl
ass (Monsieyell Electronic Materials製、比誘電
率=2.2~1.8、耐熱温度=500℃以上) または
MesoeLK (米Air Productsand Chemicals, Inc.

【0065】 続いて、絶縁膜8d上に、絶縁膜8e、8fを下層から順に堆積する。絶縁膜（第1の絶縁膜）8eは、上記絶縁膜8bと同じ低誘電率の絶縁膜からなる。また、絶縁膜（第1の絶縁膜、キャップ用の絶縁膜）8fは、上記絶縁膜8cと同じLow-Kキャップ用の絶縁膜からなる。その後、フォトリソグラフィを用いたドライエッチング法により、絶縁膜8f、8e、8dを選択的に除去し、配線溝（配線開口部）14eを形成する。配線溝14eを形成するには、フォトリソグラフィから露出する絶縁膜8f、8eを除去する際に、絶縁膜8f、8eと、絶縁膜8dとのエッチング選択比を大きくすることで、絶縁膜8dをエッチングし残すことが可能である。

【0066】 ポーラスMSQ系材料としては、例えばHSG-6211X（日立化成工業製、比誘電率=2.4、耐熱温度=650℃）、ALCAP-S（旭化成工業製、比誘電率=2.3~1.8、耐熱温度=450℃）、OCL T-777（東京応化工業製、比誘電率=2.2、2~1.9、耐熱温度=600℃）、HSG-6210X（日立化成工業製、比誘電率=2.1、耐熱温度=650℃）またはsilica aerogel（神戸製鋼所製、比誘電率1.4~1.1）等がある。

【0067】 ポーラス有機系材料としては、例えばPoreLK（米Air Products& Chemicals, Inc.、比誘

して機能させる。すなわち、この絶縁膜8dの表面でエッチングを一旦停止させた後、絶縁膜8dを選択的にエッチング除去する。これにより、配線層14の形成精度を向上させることができる。このように配線層14は、その平面形状で防止できる。図8(a)に示すように、例えば帯状に形成されている。配線層14の底面からは上記プラグ13の上面が露出されている。

【0066】次に、上記炭酸層14の内部に以下のよう
な方法で埋め込み配線を形成する。まず、図9に示すよ
うに、基板1の主面上の全面に、例えば窒化チタン(TiN)等からなる厚さ50nm程度の薄い導電性バリア
膜(第1の導電性バリア膜)15をスパッタリング法等で堆積す
る。この導電性バリア膜15は、後述の主導電膜形成用
の銅の拡散を防止する機能、その主導電膜と絶縁層8c
の銅との密着性を向上させる機能および主導電膜のリ
フロー時に銅の濡れ性を向上させる機能を有している。
このような機能を有する膜としては、窒化チタンに代え
て、銅と殆ど反応しない窒化タンダステン(WN)、窒
化チタン(Ta₂N)などの高融点金属窒化物を用いる
ことが好ましい。また、その窒化チタンに代えて、高融
点金属窒化物にシリコン(Si)を添加した材料や、銅
と反応し難いタンタル(Ta)、チタン(Ti)、タン
ダステン(W)、チタンタンダステン(TiW)合金な
どの高融点金属を用いることもできる。なお、本実施の
形態によれば、導電性バリア膜15の厚厚を、例えば1
0nm、それよりも小さい6~7nmまたは5nm以下
としても良好なTDD特性を得ることができ、

【0067】従って、導電性バリア膜15上に、例えば銅からなる主導体膜（第2の導体膜）16を堆積する。本実施の形態では、主導体膜16をメッキ法で形成し、メッキ法を用いることにより、良好な膜質の主導体膜16を埋め込み性良く、かつ、低コストで形成することができ、まず、導電性バリア膜15上に、銅からなる薄い導電性スパッタリング法で堆積し、その後、その上に、銅からなる相対的に厚い導体膜を、例えば電解メッキ法または無電解メッキ法によって成長させることで主導体膜22aを堆積し、このメッキ処理では、例えば磁気銅を基本とするメッキ液を使用し、【0068】ただし、主導体膜16をスパッタリング法で形成することでも、この導電性バリア膜15および主導体膜16を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋込みおよび膜質の向上を図る上で、例えばロングスローパススパッタリング法やコロニーパススパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導体膜16をCVD法で形成することでも

【0069】続いて、例えば475℃程度の非酸化性雰囲気（例えば水素雰囲気）中で基板1に対して熱処理を

り、CMP処理により基板に付着した酸性スラリーを中和し、基板1と、異物と、洗浄用のブラシとのzeta電位を方向を揃えて、それらの間の吸着力をなくすために、例えばpH8程度まではそれ以上の弱アルカリ薬液を供給しながら、基板の表面をスクラブ洗浄（またはばらばら洗浄）する。アルカリ薬液として、例えばアミノエタノール（DAE（Diluted Amino Ethanol）、組成：2-Aminoethanol, $\text{H}_2\text{NCH}_2\text{CH}_2\text{OH}$ 、濃度：0.001~0.1%程度、好ましくは0.01%）を用いた。この薬液は、銅エッチング作用が少なく、 NH_4OH と同等の洗浄力を有する。この洗浄処理では、ロール型洗浄方式を採用した。ただし、これに限定されるものでなく種々変更可能であり、例えばアルカリ洗浄に際してはディスク型洗浄方式を採用することでもできる。また、酸洗浄に際してディスク型洗浄方式やペン型洗浄方式を採用することでもできる。

【0074】続いて、基板1に対して還元処理を施す。ここでは、図11に示すように、水素ガス雰囲気中で、例えば200〜475℃、好ましくは300℃、例えば0.5〜5分、好ましくは所定程度の熱処理を基板11に対して施した(水素(H₂)アノール)。これにより、CMP時に発生した第1層配線12表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋込み第2層配線12のエッジングを抑制または防止することができ、そのため、配線抵抗の上昇、配線抵抗のばらつきおよび段差の発生を同時に抑制または防止することができる。また、還元処理を行わない場合、CMP処理時に基板1の表面に付着したBTA等のような有機物が、酸洗浄処理に際してマスクとならずに総線路8の段差を良好形状に削りとなることができない場合があるが、本実施の形態のように還元処理を行うことにより、CMP時に付着したBTA等の有機物を除去することができ、そのため、総線路8の段差を、充分に、かつ、均一に除去することができ、これらにより、半導体積回路装置のTDDP(寿命)を大幅に向上させることが可能となる。なお、場合によっては、上記のような水素アノールを施さなくてもよい場合もある。

【0075】続いて基板に対して酸洗浄処理を施す。この処理は、TDDB特性の向上、残留金属除去、絶縁膜8「表面のダングリングポイントの低減および絶縁膜8「表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板1の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。フッ酸洗浄を挿入しただけでなくTDDB特性を改善させる。これは、酸処理により表面のダメージ層が除去されて界面の密着性が向上したためと考えられる。フッ酸（HF）洗浄は、例えばブラシススクラブ洗浄を用い、HF濃度を0.5%、洗浄時間20秒の条件が選択できる。

【0076】本発明者らの実験によれば、アルカリ洗浄

と酸洗浄との連続シーケンスのTDDDB特性と比較し、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスのTDDDB特性は、約2桁向上されることが明らかにされた。瞬間絶縁膜に低抵抗率の線路材料を用いた埋込型銅配線構造の信頼性を考慮すると、2桁のTDDDB寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDDDB寿命が向上する理由として、CMP時に付着するBT A等の有機物が除去されるためと考えられる。有機物が付着したまま酸洗浄を行うと、TDDDB寿命を左右する隣接絶縁膜間のリーニンング(リフトオフ)が充分にできないと推定される。一方、本実施の形態では水素アニール処理を行ってから酸処理を行うため、絶縁膜の表層を、充分に、かつ、均一にリフトオフすることができ、TDDDB寿命を向上させることが可能となる。

【0077】上記の例では、還元処理として水素アニオンを施す場合について説明したが、これに限定されるものではなく、例えば水素プラズマやアンモニアプラズマを施しても良い。この場合、上記した効果の他に、還元処理時間を短縮でき、スループットの向上を推進させることができる、という効果を得られる。水素プラズマやアンモニアプラズマに比較した場合の水素アニオンポイントとしては、デバイスプロセスで良く使用されており実績があること、また、真空状態で形成する必要がないこと等から、比較的容易に処理を行うことができる、という利点がある。

【0078】また、CMP処理後、上記還元処理を行
い、その後、アルカリ流液処理、酸化洗浄処理の順で洗浄
し、その後、アルカリ流液処理、酸化洗浄処理を行って、
酸化洗浄の行っても良い。また、アルカリ洗浄を行って、
酸化洗浄の行っても良い。酸化洗浄の行っても、ただで
もTDDB特性が改善する。これは、ダメージ層の除去
により界面の特性を向上させたためと思われる。

【0079】また、上記CMP後洗浄処理に先行または
並行して、基板1の表面を純水スピン洗浄、純水超音
波1の表面を純水スピン洗浄または純水スピン洗浄したり、基
板1の表面を純水スピン洗浄したりしても良い。

【0080】就いて、本実施の形態においては、図12に示すように、埋込み第2層配線12に対してエッチング処理を施すことにより、埋込み第2層配線12の上層を選択的にエッチング除去する。これにより、埋込み第

2層配線12の上面を、CMP面である絶縁膜8(1)の上面よりも窪ませる。すなわち、埋込み第2層配線12の上面と、絶縁膜8(1)の上面との間に小さな段差を生じさせている。ここでは、図1(b)に例示するように、導電性バリア膜15の上部は、これに近接する絶縁膜8(1)の上面の高さまで残されているが、銅からなる主導体16の上部は、特に上部角は、埋込み第2層配線12において導電性バリア膜15の上部から距離d3だけ下方に離れて配置されている。すなわち、主導体16の上面

部角は、埋込第2層配線12において最も電界が集中する上部角（導電性バリア膜15の上部）からずれるように配置されている。これにより、埋込第2層配線12に於いて、電界が最も集中し、かつ、絶縁膜8の上面（CMP面）が接する部分に、距離狭さの低い傾かとなる主導体膜16が存在しないよう構造とすることが可能となる。そのため、上記電界集中に起因する銅の拡散を抑制または防止することが可能となる。この結果、TDBB 寿命を向上させることが可能となる。距離d 3は、例えば10nm程度またはそれ以上である。なお、このような段差形状を採用することを考慮して、予め配線溝14の深さ（すなわち、絶縁膜8q~8fの枚数）を段差形状を採用しない場合よりも厚く（厚く1）しておく。[0008] また、上記アルカリ洗浄処理または酸洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、埋込第2層配線12の上面をエッチング除去することにより、この場合、第2層配線12を損傷することなく、埋込第2層配線12の上面を磨光と製造時間の短縮が可能となる。

【0082】次に、上記埋込み第2配線線12の上部を絶縁膜8の上面から露ませた後、例えば純水リンス処理およびスピニング乾燥やIPA（インプロビアルコーラル）ペーパー乾燥等のような乾燥処理、後処理を経てキヤップ絶縁膜の形成工程に移行する。

【0083】ここでは、まず、図13に示すように、基板1の表面（埋込み第2層配線17が露出する面）に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1の直径を8インチ（ $\approx 203\text{ mm}$ ）とした場合、処理圧力を5.0 Torr（ $= 6.6661 \times 10^{-2}\text{ Pa}$ ）、高周波（RF）電力を600 W、基板温度を400℃、水素ガス流量を500 cm^3/min 、処理時間を10～30秒とすることができ、電極間距離は600 mils（15.24 mm）とした。

【0084】続いて、上記水菜プラズマ処理後、大気開放させ連続して、図14に示すように、基板1の表面（埋込み第2図配線12が露出する面）に対して、アンモニア（NH₃）プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えばアンモニア流量を200 cm³/min程度とした以外は、上記水菜プラズマ条件と同じである。

【0085】なお、プラズマ処理条件は、これら例示した条件に限られないものもろんである。本発明者らの検討では、圧力が高いほどプラズママタージンを低減でき、基板温度が高いほどTDDの発生の基板内ばらつきを低減し長寿命化がはかれることが明らかとされた。また、基板温度が高く、RF電力が発生しやすい処理時間が長いほどCuの表面にヒロツク現象が発生するという意見が得られた。これらの知見と装置構成等による条件のばらつきを考慮すると、例示した処理圧力は0.5〜

6 Torr (= 0.66661×10²→7.9993
2×10²Pa)、RF電力は300~600W、基板
温度は350~450℃、水素ガス流量は50~100
0 cm³/min、アモニアガス流量は20~500
cm³/min、処理時間は5~180秒、電極間距離
は150~1000mm(3.81~25.4m
m)の範囲で設定することができる。

【0086】続いて、上記アノモニアプラズマ処理後、大気開放せず連続して、図15および図16に示すように、埋込み第2層配線12および絶縁膜8fの上面に、埋込み第2層配線12および絶縁膜8fの上面に、CVD法を用いた絶縁膜（第1、第2の絶縁膜）8gを配線基板上等に堆積する。絶縁膜8gは、例えば上記絶縁膜8dと同一厚さの同一材料からなる。絶縁膜8gの材料には、上記絶縁膜8dと同様の變形例がある。また、図16(a)に示すように、埋込み第2層配線12の側面に、下方から上方に向かって配線角の埋込み第2層配線12の側面と絶縁膜8gの上面とを成す角 α は、例えば $80^\circ \sim 90^\circ$ の範囲内、具体的に、例えば 88.7° 程度である。配線の上部側の幅（配線14の上部側幅）および隣接配線の上部側の間隔（隣接配線14の上部間隔距離）は、例えば $0.25\mu\text{m}$ 以下、あるいは $0.2\mu\text{m}$ 以下である。配線14のアスペクト比は、例えば1である。

【0087】ここでは、水素プラズマ処理後にアンモニアプラズマ処理を施す場合について説明したが、これに限定されるものではなく、順次変更可能である。例えばアンモニアプラズマ処理後に水素プラズマ処理を真空状態で維持したまま連続して行ってもよい。また、アンモニアプラズマ処理を行ってもよい。これらの場合、配線抵抗は前記した場合より低下したものの、TDDB寿命を向上させることができた。

【0088】また、CMP後洗浄処理後の乾燥処理の後、水素アニール処理、水素プラズマ処理、アモニアプラズマ処理、配線キャッチング層形成処理の順に処理を行っても良い。この場合のアモニアプラズマ処理と水素プラズマ処理との順序は逆でも良い。また、アモニアプラズマ処理とのみでも良い。いずれにおいても水素アニールの条件としては、処理温度は、例えば200～475℃、好ましくは300℃程度、処理時間は、例えば0.5～5分、好ましくは1分程度とする。この方法は、特に埋め込み配線用の銅からなる主導体膜をメッキ法で形成する場合に適している。また、後洗浄処理またはその直前の還元処理と併して水素アニールを行なう場合にも適している。このように水素アニール処理を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げることが可能となる。また、この水素アニール処理を行わずにキャッチ層を堆積すると、熱応力によってキャッチ層の銅が

より、それを抑制または防止することができ、

【0089】このように本実施の形態では、配線キャップ用の絶縁膜8gの堆積に先立って水素プラズマ処理およびアンモニアプラズマ処理を基板1に対して順に施す。

【0090】アンモニアプラズマでは、CMPで酸化された銅配線表面の酸化銅(CuO、Cu₂O)を銅(C)に還元する。また、セツトフロー時の銅のシリサイド化を防ぐ酸化銅(CuN)層が埋込み第2層配線L2の表面(ごく薄い領域)に形成される。配線間の絶縁膜8f(上面(ごく薄い領域)では、SiN化またはSiH化が進み、絶縁膜8f表面のタンダリングポンドを捕獲し、また、キャップ用の絶縁膜8fと埋込み第2層配線L2および絶縁膜8fとの密着性を向上させることがで、界面のリーク電流を低減することができる。このよう効果により、TDDDB寿命を向上させることができる。

【0091】一方、水素プラズマでは、本発明者らによる特開平11-226876号や特開2000-300-853号でも述べたように、アンモニアプラズマ処理受に比べて有機物の除去能力が非常に高い。CMPでのスラリーに含まれているBTA、スラリー成分やCMP後の洗浄の有機物とプロセス中に生成した残留有機物をほぼ完全に除去し、界面のリーク電流を減少させることができる。この結果、TDDDB寿命をさらに向上させることができる。

【0092】したがって、この水素プラズマ処理とアンモニアプラズマ処理とを順に行うことにより、銅を主成分として有する埋込み第2層配線23a表面の還元およびシリサイドバリア層の形成と、絶縁膜界面のクリーニングおよびSiH効果、SiN効果を得ることができ、さらなる信頼性の向上を実現できる。図10に絶縁膜が、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法で形成された酸化シリコン膜上に、プラズマCVD法で形成された窒化シリコン膜を堆積することで構成されている場合において、水素プラズマとアンモニアプラズマとを組み合わせて行ったサンプルでは、アンモニアプラズマ処理単独の場合と比較して、TDDDB寿命が約2倍向上することが本発明者らによって明らかとされた。また、図10に絶縁膜として上記SiLKを用いた場合でも、水素プラズマおよびアンモニアプラズマを用いた場合には、例えば約0.13~0.17mV/cm、10年の動作環境でも充分な信頼性を確保できることが本発明者らの実験によって明らかとされた。【0093】また、本実施の形態においては、上記のように埋込み第2層配線L2の上部角において電界が集中する領域EFAから埋込み第2層配線L2の端からなる主導体膜16の上部角を離間させたことにより、電界集中に起因する銅の拡散を抑制または防止することができ、隣接埋込み配線間では生じるリーク電流を抑制する

たは防止でき、TDDDB寿命をさらに向上させることが可能となる。図17(a)は埋込み銅配線構造における電界強度とリーク電流との関係を本構造と通常構造とで比較したグラフ図、(b)は埋込み銅配線構造における電界強度とTDDDB寿命との関係を本構造と通常構造とで比較したグラフ図である。通常構造では、絶縁膜8f上面と埋込み第2層配線L2の上面との間に段差を生じ、せない一般的な構造である。本構造を採用した場合、通常構造よりも、リーク電流を低減でき、絶縁膜の耐圧を向上できる上、TDDDB寿命を通常構造よりも2桁程度向上させることができる。

【0094】(実施の形態2)図18は、本発明の他の実施の形態である半導体装置の製造工程(図16と同様の配線キャップ用の絶縁膜の堆積工程後)の要部拡大断面図を示している。

【0095】本実施の形態2においては、図18に示すように、埋込み第2層配線L2の上面が全体的に絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。すなわち、埋込み第2層配線L2の導電性バリア膜15の上面部も、絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。これにより、導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜8fの上面から離間されている。この場合、埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され、絶縁膜8fの上面(CMP面)、絶縁膜8f、8gの界面から離間されている。このため、仮に埋込み第2層配線L2の上部角に電界が集中することで主導体膜16の銅がイオン化したとしても、そのイオン化された銅が絶縁膜8fの上面を通じて拡散してしまう現象を抑制または防止できる。すなわち、互いに隣接する埋込み第2層配線L2、L2間にリークパスが形成されるのを抑制または防止できる。したがって、TDDDB寿命を向上させることが可能となる。

【0096】このような構造を形成するには、前記CMP処理後洗浄処理の後のエッチング処理に際して、導電性バリア膜15および主導体膜16が選択的にエッチングされる条件で基板1に対してエッチング処理を施せば良い。

【0097】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アンモニア)処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じなで説明を省略する。

【0098】(実施の形態3)上記のように、銅配線の利用に際しては、銅の拡散を防止するためのバリア膜が必要と考えられているが、配線の微細化に連れて、配線断面積中に占める高抵抗のバリア膜の断面積が増加することにより配線抵抗が増加する結果、配線材料として

銅を適用したメリットが得られるという問題が発生する。

【0099】そこで、本発明者らは、銅の拡散現象について改めて実験を行い検討した。その結果、本発明者らは、前記したように銅の拡散現象について本質的なメカニズムを初めて見出した。そして、その新しい見地から本発明者らは、配線層内および底層にイオン化されない中性Cuを形成すること(銅の純度を上げること)、前記アンモニアプラズマ処理、水素プラズマ処理またはその両方を施すこと、あるいはこれらと前記CMP処理または洗浄処理等とを組み合わせて行うことにより、導電性バリア膜の厚さを10nm未満に薄くして、あるいは、導電性バリア膜自体を無くしてしまっても(バリアレス埋込み配線構造)、Cu配線を有する半導体集積回路装置のTDDDB寿命を向上させることができ、そのことを初めて見出した。すなわち、銅のみで埋込み配線を構成した場合でも充分な信頼性を達成することができ、実用的なCu配線を形成することが可能であること、本発明者らの実験によって初めて判明した。なお、これについては、本発明者らによる特開2000-10-4015号または特開2000-300853号に記載がある。

【0100】本実施の形態3は、そのバリアレス埋込み配線構造に本発明を適用した場合を説明するものである。図19(a)は、本実施の形態の半導体装置の製造工程(図16と同一の配線キャップ用の絶縁膜の堆積工程後)の要部断面図、図19(b)は、図19(a)の要部拡大断面図をそれぞれ示している。

【0101】本実施の形態3においては、図19に示すように、埋込み第2層配線L2が、銅からなる主導体膜16のみで構成されている。すなわち、銅からなる主導体膜16と、絶縁膜8c、8d、8e、8fとの間には、導電性バリア膜が形成されておらず、主導体膜16は、絶縁膜8c、8d、8e、8fに直接接した状態で配線溝14内に埋め込まれている。このため、埋込み第2層配線L2の配線抵抗を大幅に低減できる。また、異質配線間が導電性バリア膜を介さずに直接接される(ここでは、埋込み第2層配線L2と第1層配線L1とが直接接される構造を例示した)が、配線間の異なる異質配線同士が直接接される場合もある)ので、その異質配線間の接合抵抗を大幅に低減させることができ、微細なスループールでの抵抗を低減させることが可能となつて、したがって、配線溝14やスループール12が微細化されたとしても半導体集積回路装置の性能を向上させることが可能となる。したがって、半導体装置を構成する配線の微細化を推進できる。

【0102】そして、本実施の形態3においては、その主導体膜16の上面が、絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。すなわち、銅からなる主導体膜16の上部角は、これに近接する絶縁膜8fの上面から、距離d3だけ下方に離れて配置されている。この場合、

埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され、絶縁膜8fの上面(CMP面)、絶縁膜8f、8gの界面から離れている。このため、前記実施の形態2と同様に、互いに隣接する埋込み第2層配線L2、L2間にリークパスが形成されるのを抑制または防止でき、隣接埋込み配線間の電界を向上させることが可能となる。

【0103】この場合、銅からなる主導体膜16は、例えば300nm程度の厚さで埋込み配線法により形成される。この際の条件は、例えば次の通りである。圧力は、例えば0.02Pa、直流(DC)パワーは、例えば10kW、ターゲットと基板1との距離は、例えば300~400mm、温度は、例えば室温である。

【0104】このように本実施の形態3においては、主導体膜16をスパッタリング法によって堆積することにより、CVD法やメッキ法に比べて、その物の生成を非常に少なくすることができる。また、その際のターゲットとして、例えば99.9999%(5N)以上、好ましくは、99.99999%(6N)以上の純度の高い銅箔は、Cuを用いた。これにより、例えば成膜時の主導体膜2a中の銅の濃度を99.9999%以上、好ましくは、99.99999%以上とすることができる。さらに純度の高い銅を堆積できる。この主導体膜16の堆積に際しては、通常のスパッタリング法を用いても良いが、ロングスロースパッタリング法やコロレートスパッタリング法等のような指向性の高いスパッタリング法を用いても良い。その場合、配線溝14への金属膜のカバレッジを向上させることができる。

【0105】また、主導体膜16の銅以外の成分の濃度は、0.8atomic%以下または0.2atomic%以下である。また、本発明者らの実験結果では、その銅以外の成分の濃度を、例えば0.08atomic%以下、または、それよりも低い0.05atomic%以下、あるいはそれよりもさらに低い0.02atomic%以下にすることが可能であった。この銅以外の成分の濃度の値は、チップが完成した時点、すなわち、ウェハプロセスを経てウェハからチップが切り出された時点で値であつて、その銅以外の成分が、銅配線形成後の絶縁膜や金属膜の成膜処理時等の熱(例えばタンダステン等では成膜時に450℃程度の熱が加わる)によって銅配線中に拡散したことを想定して算出した値であつて、実際の銅配線において、その銅以外の成分は、銅配線の上層部(キャップ膜が接する部分)の濃度が高く、銅配線の中心に向かって次第に薄くなるような状態で分布していると考えられる。その銅以外の成分としては、例えばシリコン、酸素、硫黄(硫黄は銅配線をメッキ法で形成した場合に考えられる)またはそれらの任意の組合せがある。

【0106】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、主導体膜16の上面を磨きするための処理、アンモニアブラズマ処理および水素ブラズマ処理等のような各種処理については、前記実施の形態1と同じく可能となる。

【0107】(実施の形態4) 図20(a)は、本発明の他の実施の形態である半導体装置の製造工程(図16と同一の配線キャップ用の絶縁膜の堆積工程)の要部断面図、(b)は(a)の要部拡大断面図をそれぞれ示している。また、図21は、図20(b)の変形例を示す半導体装置の製造工程(図16と同一のキャップ用の絶縁膜の堆積工程後)の要部拡大断面図を示している。

【0108】本実施の形態4においては、図20に示すように、埋込み第2層配線12の上面が全体的に絶縁膜8fの上面(CMP面)よりも上方に突出している。ここでは、埋込み第2層配線12を構成する導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜8fの上面から上方に離れている。図20(b)では、主導体膜16の上面(角部以外の面)の高さが、絶縁膜8fの上面(CMP面、絶縁膜8f、8gの界面)の高さよりも高い場合を示している。しかし、図21に示すように、主導体膜16の上面(角部以外の面)の高さを、絶縁膜8fの上面(CMP面、絶縁膜8f、8gの界面)の高さよりも低くしても良い。

【0109】図20および図21のいずれの場合も、埋込み第2層配線12において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され易い絶縁膜8fの上面(CMP面、絶縁膜8f、8gの界面)から離れているため、前記実施の形態2と同様に、互いに隣接する埋込み第2層配線12、12間にリークパスが形成されるのを抑制または防止できる。したがって、TDDP寿命を向上させることが可能となる。

【0110】このような構造を形成するには、図22に示すように、前記CMP処理後洗浄処理の後のエッチング処理に際して、絶縁膜8fの上部角が選択的にエッチングされる条件で基板1に対してエッチング処理を施せば良い。この場合、CMP処理によってダメージを受け、化学的に不安定となっている絶縁膜8fの上面を除くす。このエッチング処理後の絶縁膜8fの表面は、化学的に安定な状態の低い状態となる。したがって、本実施の形態によれば、さらに埋込み第2層配線12、12間の絶縁膜8f表面でのリークパスの形成を抑制または防止できる。

【0111】また、上記洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、絶縁膜8fの上面のエッチング除去する

ことにより、上記埋込み第2層配線12を突出させることもできる。この場合の洗浄の薬液としては、例えばフッ酸(HF)、フマル酸、有機酸等を選択することができ、この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0112】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、アンモニアブラズマ処理および水素ブラズマ処理等のような各種処理については、前記実施の形態1と同じく可能となる。

【0113】(実施の形態5) 本実施の形態5においては、前記実施の形態3で説明したバリアレス埋込み配線の構造に、前記実施の形態4の構造を適用した場合について説明する。図23(a)は、本実施の形態における半導体装置の製造工程(図16と同一の配線キャップ用の絶縁膜の堆積工程後)の要部断面図、図23(b)は図23(a)の要部拡大断面図をそれぞれ示している。

【0114】本実施の形態5においては、その主導体膜16の上面が、絶縁膜8fの上面(CMP面)よりも上方に突出している。すなわち、銅からなる主導体膜16の上面の上部角は、これに近接する絶縁膜8fの上面から距離d3だけ上方に離れて配置されている。この場合、埋込み第2層配線12において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され易い絶縁膜8fの上面(CMP面)から離れている。また、埋込み第2層配線12の上面を突出させる方法、前記実施の形態4と同様に絶縁膜8fの上部角のエッチングするものである。したがって、前記実施の形態4で説明するように、エッチング処理後の絶縁膜8fの表面は、化学的に安定な状態の低い状態となる。これにより、互いに隣接する埋込み第2層配線12、12にリークパスが形成されるのを抑制または防止できるので、TDDP寿命を向上させることが可能となる。

【0115】これ以外の構造は、前記実施の形態3、4で説明したのと同じくして説明を省略する。また、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、アンモニアブラズマ処理および水素ブラズマ処理等のような各種処理については、前記実施の形態1と同じくして説明を省略する。

【0116】(実施の形態6) 図24は、本発明の他の実施の形態である半導体装置の製造工程(図16と同一のキャップ用の絶縁膜の堆積工程後)の要部拡大断面図を示している。

【0117】本実施の形態6においては、図24に示すように、埋込み第2層配線12の導電性バリア膜15の上部角が、絶縁膜8fの上面および主導体膜16の上面よりも上方に突出されている。絶縁膜8fの上面と主導体

統されている。

【0124】このような状態において、まず、図26に示すように、前記と同様の導電性バリア膜15を、前記実施の形態1と同様の条件でスパッタリング法によって堆積した後、その上に、銅からなる主導体膜16を、前記実施の形態1と同様に堆積する。

【0125】続いて、前記実施の形態1と同様に、水素アニール処理によるリフロー処理を施した後、この主導体膜16および導電性バリア膜15を、図27に示すように、前記実施の形態1と同様のCMP法等によって研磨し余分な部分を除去することにより、埋込み第3層配線(配線)13を形成する。埋込み第3層配線13は、スルーホール17を通じて埋込み第2層配線12と電気的に接続されている。

【0126】続いて、前記実施の形態1と同様に、防蚀処理およびアルカリ洗浄処理を順に施した後、絶縁膜8fおよび埋込み第3層配線13の上面(CMP面)に対して水素アニール処理(還元処理)を施す。その後、酸洗浄処理を施した後、前記実施の形態1と同様にエッチング処理を施すことで、図28および図29に示すように、主導体膜16の上部角を選択的にエッチング除去し、埋込み第3層配線13の上面を前記実施の形態1と同様に絶縁膜8fの上面よりも低くする。なお、図29は、図28の埋込み第3層配線13の上部角の要部拡大断面図を示している。

【0127】その後、前記実施の形態1と同様に、絶縁膜8fおよび埋込み第3層配線13の上面に対して、前記水素アニール処理、前記アンモニアブラズマ処理またはその両方を施す。これにより、前記実施の形態1と同様の効果を得ることができた。

【0128】その後、図30および図31に示すように、前記実施の形態1の絶縁膜8gと同一材料からなる絶縁膜(第2の絶縁膜)8mを、その絶縁膜8gと同様に堆積する。

【0129】ここでは、前記実施の形態1と同様の埋込み配線構造を例示しているが、前記実施の形態2～6で説明した構造としても良い。図32および図33は、前記実施の形態4の埋込み配線構造をデュアルダマジン法に適用した場合を例示している。図33は、図32の埋込み第3層配線13の上部角の要部拡大断面図を示している。この場合は、埋込み第3層配線13の上部角、絶縁膜8fの上面よりも上方に突出されている。

【0130】このような本実施の形態によれば、デュアルダマジン法においても前記実施の形態1～6と同様の効果を得ることが可能となる。

【0131】(実施の形態8) 本実施の形態8においては、前記Low-Kキャップ用の絶縁膜を無くした構造(Low-Kキャップレス構造)に本発明を適用した場

合について説明する。

【0132】図34は、その一例を示している。図34

(a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図34 (b) は図34 (a) の要部拡大断面図を示している。

【0133】本実施の形態においては、低誘電率絶縁膜からなる絶縁膜8 e上に直接的に配線キヤップ用の絶縁膜8 gが堆積されている。ここでは、配線構造として前記実施の形態1と同様の構造を例示している。すなわち、埋込み第2層配線12の上面が、絶縁膜8 eの上面(CMP面、絶縁膜8 e、8 gの界面)よりも下方に窪んでいる。

【0134】ここでは、前記実施の形態1の埋込み配線構造を採用した場合について説明したが、これに限定されるものではなく、前記実施の形態2～6で説明した埋込み配線構造を採用することもできる。例えば図35は、Low-Kキヤップ構造に前記実施の形態4の構造を適用した場合を示している。図35 (a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図35 (b) は図35 (a) の要部拡大断面図を示している。ここでは、埋込み第2層配線12の上面が、低誘電率材料からなる絶縁膜8 eの上面(CMP面、絶縁膜8 e、8 gの界面)よりも上方に突出されている。

【0135】以上のような本実施の形態においても、前記図17で示した結果が得られる。すなわち、Low-Kキヤップ構造において、本構造を採用した場合は、通常構造に比較してリーク電流を低減でき、絶縁膜8 fのリーク電流を向上させることができる。TDDDB寿命を通常構造に比較して2桁程度向上させることができる。

【0136】(実施の形態9) 本実施の形態において、Low-Kキヤップ用の絶縁膜として銅の配線を用いる構造は、Low-Kキヤップ性を有する絶縁膜を用いる構造に比べて説明する。

【0137】前記したように本発明者らの検討によれば、銅を主導体膜とする埋込み配線の銅の配線は、互いに隣接する埋込み銅配線の間に、埋込み銅配線が形成された絶縁膜の上面と配線キヤップ用の絶縁膜との界面(CMP面)が支配的であることが明らかにされた。そこで、その絶縁膜の界面に、銅の配線を抑制または防止するようなバリア性を有する絶縁膜を設けることにより、互いに隣接する埋込み配線間でのリークを抑制または防止できる。

【0138】図36は、その一例を示している。図36 (a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図36 (b) は図36 (a) の要部拡大断面図を示している。

【0139】本実施の形態においては、Low-Kキヤップ用の絶縁膜8 f1として、銅の配線を抑制または防止する材料が選択されている。絶縁膜8 f1の具体的な材料としては、例えばトリメチルシリラン(化学式=SiH(CH₃)₃)ガスとN₂Oガスの混合ガスを用

いたプラズマCVD法で形成された炭化シリコン膜(SiO_x、(ほぼSiO₂)、比誘電率=4.0)、トリメチルシリランガス(化学式=SiH(CH₃)₃)を用いたプラズマCVD法で形成された炭化シリコン膜(SiC_xN_y、比誘電率=4.3～5.0)またはトリメチルシリランとNH₃との混合ガスを用いたプラズマCVD法で形成された炭化シリコン膜(SiC_xN_y、比誘電率=4.3～5.0)がある。特に、上記トリメチルシリランガスを用いた場合は、銅をトラップするように作用し、他の材料よりも、リーク電流を低減でき、高い絶縁破壊耐圧を確保できる。このように、高い電界が集中する箇所位置するLow-Kキヤップ用の絶縁膜8 f1の材料として、上記バリア性を有する材料を選択することにより、絶縁膜8 f1、8 g1の界面(絶縁膜8 f1の上面)でのリークパスの形成を抑制または防止できる。TDDDB寿命を向上させることが可能となる。

【0140】また、配線キヤップ用の絶縁膜8 g1の材料は、前記絶縁膜8 fと同じ材料としても良いが、前記Low-Kキヤップ用の絶縁膜8 f1と同様に上記バリア性を有する材料を選択することにより、さらに絶縁膜8 f1、8 g1界面でのリークパスの形成を抑制または防止できる。この場合、絶縁膜8 f1、8 g1は、互いに同一材料となるようにすることが好ましい。これにより、絶縁膜8 f1、8 g1の密着性を向上させることができ、絶縁膜8 f1、8 g1界面でのリークパスの形成を抑制または防止できる。

【0141】また、図36では、埋込み第2層配線12の上面と、絶縁膜8 f1の上面(CMP面、絶縁膜8 f1、8 g1の界面)との間に段差の無い通常構造を例示しているが、前記実施の形態1～6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDDDB寿命を向上させることが可能となる。

【0142】また、図36では、導電性バリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDDB寿命を向上させることが可能となる。

【0143】(実施の形態10) 本実施の形態において、埋込み配線構造を構成する層間絶縁膜として銅の配線を防止するバリア性を有する絶縁膜を用いる構造について説明する。

【0144】図37は、その一例を示している。図37 (a) は、図30と同一工程時(配線キヤップ用の絶縁膜を堆積後)の半導体装置の要部断面図、図37 (b) は図37 (a) の要部拡大断面図を示している。

【0145】本実施の形態では、埋込み配線構造を形成する絶縁膜(第1の絶縁膜)8 p～8 rの材料として、例えばトリメチルシリラン(化学式=SiH(CH₃)₃)ガスとN₂Oガスの混合ガスを用いたプラズマCVD法で形成された炭化シリコン膜(SiO_x、(ほぼSiO₂)、比誘電率=4.0)、トリメチルシリランガス(化学式=SiH(CH₃)₃)を用いたプラズマCVD法で形成された炭化シリコン膜(SiC_xN_y、比誘電率=4.3～5.0)またはトリメチルシリランとNH₃との混合ガスを用いたプラズマCVD法で形成され

た炭化シリコン膜(SiC_xN_y、比誘電率=4.3～5.0)等のような銅の配線を抑制または防止する材料が選択されている。この場合も前記実施の形態9と同様の効果を得ることができる。

【0146】また、配線キヤップ用の絶縁膜(第2の絶縁膜)8 g、8 h、8 mの材料は、前記実施の形態で説明した材料を用いても良いが、前記絶縁膜8 p～8 rと同様にバリア性を有する材料を選択することにより、さらに絶縁膜8 p、8 gの界面および絶縁膜8 r、8 mの界面でのリークパスの形成を抑制または防止できる。さらにTDDDB寿命を向上させることが可能となる。この場合も、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料とする。この場合、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料として、さらにTDDDB寿命を向上させることができる。この場合も、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mの密着性を向上させることができ、絶縁膜8 p、8 gの界面および絶縁膜8 r、8 mの界面でのリークパスの形成を抑制または防止できる。

【0147】また、図37では、埋込み第2層配線12の上面と、絶縁膜8 pの上面(CMP面、絶縁膜8 p、8 gの界面)との間に埋込み第3層配線13の上面と、絶縁膜8 rの上面(CMP面、絶縁膜8 r、8 mの界面)との間に段差の無い通常構造を例示しているが、前記実施の形態1～6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDDDB寿命を向上させることが可能となる。

【0148】また、図37では、埋込み第2層配線12および埋込み第3層配線13の各々において導電性バリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDDB寿命を向上させることが可能となる。

【0149】(実施の形態11) 前記実施の形態1においては、埋込み配線を形成するためのCMP処理に際して、絶縁膜を含む研磨液(スラリー)を使用した化学機械研磨(有粒粒化学機械研磨)方法を用いた場合について説

明した。

【0150】本実施の形態においては、そのCMP処理に際して、前記研磨液フリー化学機械研磨を用いる方法について説明する。

【0151】まず、前記図9に示したように主導体膜16を基板1の上面に完全に堆積した後、これを低誘電率を有しないスラリーを使用した化学機械研磨(研磨フリー化学機械研磨)(第1ステップのCMP)法により除去する。

【0152】ここで研磨フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5%重量以下の研磨液(スラリー)を使用した化学機械研磨を意味し、研磨液としては、特に砥粒の含有量が0.1重量%以下のものが好ましく、0.05重量%以下である。

【0153】また、研磨液としては、銅の腐食液に属するようにそのpHが調整されたものが使用され、さらに導電性バリア膜15に対する主導体膜16の研磨選択比が少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸、シュウ酸などを例示することができる。

これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、腐食としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に5体積%の過酸化水素と0.03重量%のクエン酸を加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。

【0154】上記研磨液で化学機械研磨を行うと、まず銅表面が酸化剤によって酸化され、表面に薄い酸化膜が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化膜が水溶液となった溶出し、上記酸化膜の厚さが減る。酸化膜が薄くなった部分は再度酸化性物質に曝露されて酸化膜の厚さが増し、この反応を繰り返して化学機械研磨が進行する。なお、このような研磨フリーの研磨液を使用した化学機械研磨については、本発明者などによる日本特開平9-299937号および特開平10-317233号に詳しく記載されている。

【0155】研磨の条件は、一例として荷重=250g/cm²、ウェハキャリヤ回転数=30rpm、定速回転数=25rpm、スラリー流量=150cc/minとし、研磨ヘッドは、米国ロデール(Rodel)社の硬質パッド(1C140)を使用する。研磨の終点は、主導体膜16が除去さ

れて下地の導電性バリア膜15が露出した時点とし、終点の抽出は、研磨対象が主導体膜16から導電性バリア膜15になったときに変化するかエヘハカリの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、基板1表面からの光反射スペクトル変化に基づいて終点を検出したリ、スラリの光学スベクトル変化に基づいて終点を検出したリもよい。

【0156】この場合、上記の砥粒フリー化学機械研磨を行うことにより、配線溝14の外部の主導体膜16は殆ど除去されて下地の導電性バリア膜15が露出するが、下地段差に起因して生じた導電性バリア膜15の程みなどには、この研磨では除去されなかった主導体膜16が残存する。

【0157】そこで、配線溝14の外部の導電性バリア膜16とその上面に局所的に残った主導体膜16とを除去するために、基板1に対して、砥粒を含む研磨液（スラリー）を使用した化学機械研磨（有砥粒化学機械研磨）を施す。ここで砥粒フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%よりも多いの研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリー供給管31uを通じて第2定盤31c2の研磨パッド31pに供給される。

【0158】また、この有砥粒化学機械研磨において、導電性バリア膜15の上面に局所的に残った主導体膜16の除去に引き続いて、配線溝14の外部の導電性バリア膜15を除去する。そこで、導電性バリア膜15に対する主導体膜16の研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線溝14の内部の主導体膜16の表面が研磨されるのを抑制する。

【0159】研磨の条件は、一例として荷重=120g/cm²、エヘハカリ回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、ロデール社のIC1400を使用する。研磨量は導電性バリア膜15の膜厚相当分とし、研磨の終点は、導電性バリア膜15の膜厚および研磨速度から算出した時間によって制御する。

【0160】上記の有砥粒化学機械研磨を行うことにより、配線溝14の外部の導電性バリア膜15は殆ど除去されて下地の導電性バリア膜15が露出するが、下地段差に起因して生じた絶縁膜8（f）の上面の小さな窪みなどには、上記の研磨で除去されなかった導電性バリア膜15が残存する。

【0161】次に、配線溝14の内部の主導体膜16の研磨を可能な限り抑制しつつ、配線溝14の外部の絶縁

膜8（f）上に局所的に残った導電性バリア膜15を除去するための選択的的化学機械研磨を行う。この選択的的化学機械研磨は、主導体膜16に対する導電性バリア膜15の研磨選択比が少なくとも5以上となる条件で行う。また、この化学機械研磨は、主導体膜16の研磨速度に対する絶縁膜8（f）の研磨速度の比が1よりも大きくなる条件で行う。

【0162】上記選択的的化学機械研磨を行うには、一般に前記有砥粒化学機械研磨で使ったような0.5重量%よりも多い砥粒を含む研磨液に防食剤を添加したものを使用する。防食剤とは、主導体膜16の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンゾトリアゾール（BTA）、BTAカルボン酸などのBTA誘導体、ドデシルメルカプタン、トリアゾール、トリメチルアミン、トリメチルホスホキシド、トリメチルアミン、トリメチルホスホキシドなどが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

【0163】防食剤としてBTAを使用する場合、その濃度はスラリーの種類にもよるが、通常は0.001〜1重量%、より好ましくは0.01〜1重量%、さらに好ましくは0.1〜1重量%（3段階）の添加で十分な効果が得られる。本実施の形態では、研磨液として前記有砥粒化学機械研磨で使った研磨液に防食剤として0.1重量%のBTAを混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を避けるために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸（EDTA）などを必要に応じて添加してもよい。なお、このような防食剤を含むスラリーを使用し化学機械研磨については、本発明者などによる特開平10-209857号、特開平9-29937号および特開平10-317233号に詳しく記載されている。

【0164】この選択的的化学機械研磨は、前記の有砥粒化学機械研磨が終了した後、引き続きCMP装置の定盤の上で行われる。防食剤を添加した研磨液は、スラリー供給管を通じて研磨パッドの表面に供給される。研磨の条件は、一例として荷重=120g/cm²、エヘハカリ回転数=30rpm、定盤回転数=25rpm、スラリー流量=190cc/minとする。

【0165】上記の選択的的化学機械研磨を行うことにより、前記図10に示したように、配線溝14の外部の導電性バリア膜15がすべて除去され、配線溝14の内部に埋込み第2層配線溝12が形成される。

【0166】埋込み第2層配線溝12の形成が完了した上記基板1の表面には、砥粒などのパターナリングやCu酸化物などの金属粒子を含んだスラリー残液が付着している。そこで、このスラリー残液を除去するために、まず、クリーン・ステーションにおいてBTAを含む純水で基板1を洗浄する。このとき、洗浄液に800kHz以上

の高周波振動を加えて基板1の表面からスラリー残液を遊離させるメカニズムを併用してもよい。次に、表面の砥粒を防ぐために基板1を濯潤状態に保持した状態で研磨処理部から後洗浄部に搬送し、第1洗浄部において0.1重量%のNH₄OHを含む洗浄液を用いたスクラブ洗浄を行い、続いて第2洗浄部において純水を用いたスクラブ洗浄を行う。前記のように、後洗浄部は、洗浄中の基板1の表面に光が照射することに起因して埋込み第2層配線溝12に腐食が発生するのを防ぐため、全体が遮光状態で覆われている。

【0167】上記スクラブ洗浄（後洗浄）が完了した基板1は、スピンドライヤ等で乾燥された後、次工程へ搬送される。その後の工程は前記実施の形態1と同様である。

【0168】本実施の形態によれば、前記実施の形態1の場合よりさらにTDDDB寿命を向上させることができ、なお、アンモニウムアブラスマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもTDDDB特性が一改善することは本発明者らの検討により判明した。このように砥粒フリーの場合にTDDDB寿命が向上するのは、酸化シリコン膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリーには2〜3μmの粒径（2次粒径）の砥粒（アルミナ等）が含まれる。この砥粒によりマイクロスクラッチが生じ、酸化シリコン膜（絶縁膜8（f）等）の表面にダメージを与え、しかし、砥粒フリーの場合にはスラリーに砥粒が含まれず、あるいは含まれていてもごく少数であるため、ダメージを大幅に軽減できる。このため、TDDDB特性が改善されたものと考えられる。

【0169】（実施の形態12）本実施の形態において、前記実施の形態1のCMP後洗浄処理における洗浄液は、前記に添えて、薬液として前記有砥粒を用いるか、またはアブレーションと有機酸との混合薬液を用いる。これ以外は、前記実施の形態1と同じである。有機酸として、例えばクエン酸を用いた場合、たとえばブラシスクラブ洗浄を用い、クエン酸濃度を5%、洗浄時間を45秒の条件で選択できる。

【0170】このように有機酸洗浄を用いることにより、CMP等で生じた表面のダメージ層を除去することができ、これによりTDDDB寿命を向上させる。また、有機酸を用いた場合、下地に影響を与えずに金属イオンのみを除去できる効果もある。すなわち、Fe、K、Ca等の不純物を選択的に除去することができ、【0171】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0172】前記実施の形態では、スクラブ洗浄後処理（ブラズマ処理）後に真空乾燥することなく連続的に形成する場合について説明したが、後処理の後、一旦真空

乾燥をして、その後、キャップ膜を形成してもよい。真空乾燥しない方が本発明の効果より効果的に発着することができるが、後処理におけるアンモニウムアブラスマ処理により薄い窒化膜が形成されるため、真空乾燥を行わずに、窒素雰囲気下で乾燥しても酸化膜の形成を抑制できる。よって、真空乾燥した場合であっても、本実施の形態の効果がある程度奏することは可能である。

【0173】以上の説明では主として本発明者によってなされた発明とその背景となった利用分野であるCMI S回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、フラッシュメモリ（EEPROM）、Electric Erasable Programmable Read Only Memory）またはFRAM（Ferro electric Random Access Memory）等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板上に設けている低容量の半導体装置にも適用できる。本発明は、少なくとも微細化された集積回路を有する半導体装置、半導体集積回路装置、電子回路装置、電子装置またはマイクロマシン等に適用可能である。

【0174】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0175】すなわち、銅を主導体膜とする配線の境界集中箇所を、その周囲の絶縁膜の研磨面から開間させることにより、銅を主導体膜とする配線間の絶縁膜特性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本願のTDDDB寿命測定に使用した材料を示し、（a）は平面図、（b）および（c）は（a）におけるB-B'線断面およびC-C'線断面を各々示す説明図である。

【図2】測定の結果を示した説明図である。

【図3】各種研磨用砥粒材料を用いた場合の銅配線構造におけるTDDDB寿命の測定結果の説明図である。

【図4】配線間の絶縁膜としてSiLKを用いて実際に作成した配線構造の断面TEM写真の模式図である。

【図5】図4の断面TEM写真から表面面をデマシスミュータに入力して得られた電圧分布の説明図である。

【図6】図5の埋込み配線近傍におけるY1-Y1'線断面の電圧分布の説明図である。

【図7】銅を主導体膜とした埋込み配線構造において電圧分布がCMP面に集中することを模式的に示した説明図である。

【図8】（a）は本発明の一実施の形態である半導体装置の製造工程における要部平面図、（b）は（a）の

X1-X1線の断面図である。

【図9】図8に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図10】図9に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図11】図10に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図12】(a)は図11に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図13】図12に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図14】図13に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図15】図14に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図16】(a)は図15の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図17】(a)は電界強度とリーク電流との関係を本構造と通常構造とで比較したグラフ、(b)は電界強度とTDDB寿命との関係を本構造と通常構造とで比較したグラフ図である。

【図18】本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図である。

【図19】(a)は本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図20】(a)は、本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図21】図20(b)の変形例を示す半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図22】(a)および(b)は図20の半導体装置のエッチング工程時の要部断面図である。

【図23】(a)は、本発明の他の実施形態における半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図24】本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部

拡大断面図である。

【図25】(a)は、本発明のさらに他の実施形態である半導体装置の製造工程における要部断面図、(b)は(a)のX2-X2線の断面図である。

【図26】図25に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図27】図26に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図28】図27に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図29】図28の要部拡大断面図である。

【図30】図28および図29に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図31】図30の要部拡大断面図である。

【図32】本発明のさらに他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図33】図32の要部拡大断面図である。

【図34】(a)は、半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図35】(a)は、本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図36】(a)は、本発明の他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

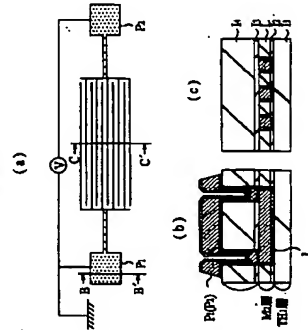
【図37】(a)は、本発明のさらに他の実施形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【符号の説明】
1 基板
2 分離部
3 ゲート絶縁膜
4 ゲート電極
5 サイドウォール
6, 7 半導体領域
8 a~8m, 8p~8r 絶縁膜
9 コンタクトホール
10 プラグ
11 スルーホール
12 プラグ
13 プラグ
14 配線溝(配線開口部)

- 15 導電性バリア膜(第1の導体膜)
16 主導体膜(第2の導体膜)
17 スルーホール(配線開口部)
18 配線溝(配線開口部)
50~54 絶縁膜
55 配線溝
56 埋込み配線
L 絶縁配線
M2 第2層配線
P1, P2 パッド
S 測定ステージ
H ヒータ
Qp pチャネル型のMIS-FET
Qn nチャネル型のMIS-FET
PWL p型ウェル
NWL n型ウェル
L1 第1層配線
L2 埋込み第2層配線(配線)
L3 埋込み第3層配線(配線)

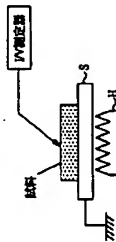
【図1】

図1



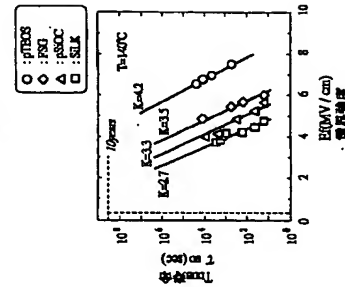
【図2】

図2



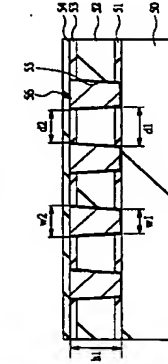
【図3】

図3



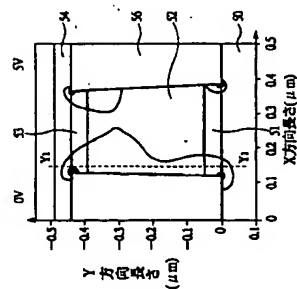
【図4】

図4



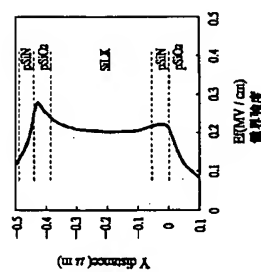
【图5】

54



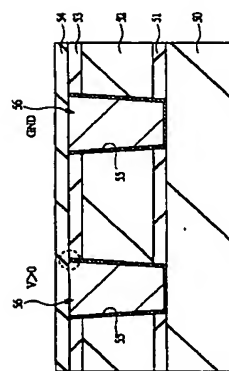
【図6】

94



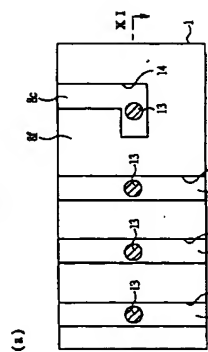
【图7】

7



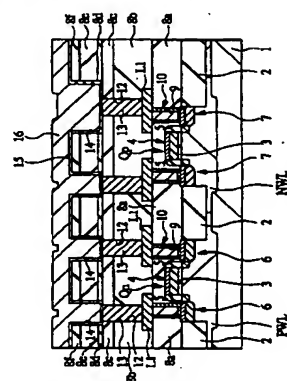
【图8】

84

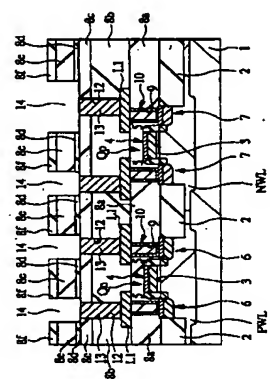


【6】

67

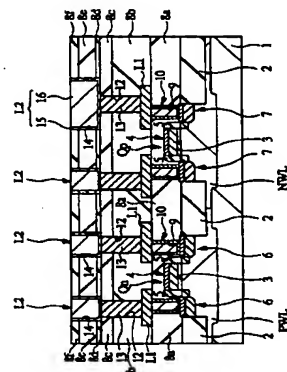


(q)



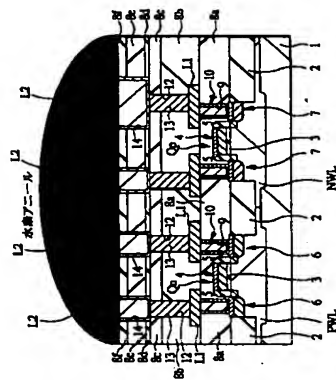
【圖10】

10



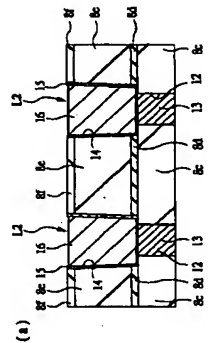
【图 11】

11 圖



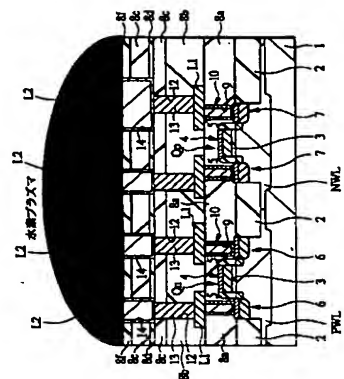
【图 12】

12

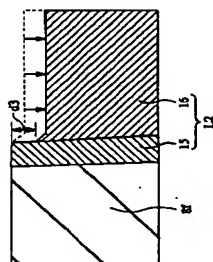


【图 13】

13

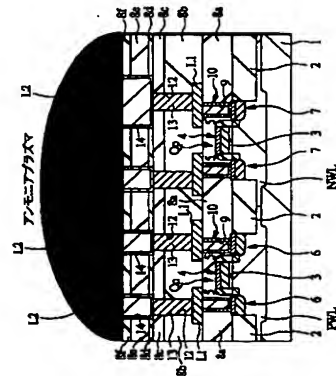


(b)



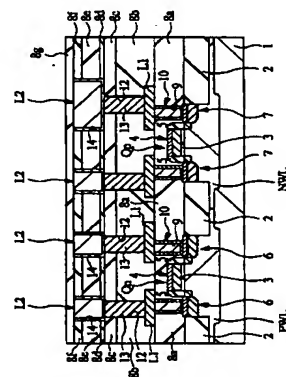
【图14】

14



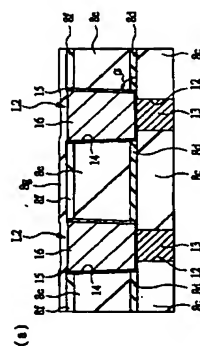
【图15】

51



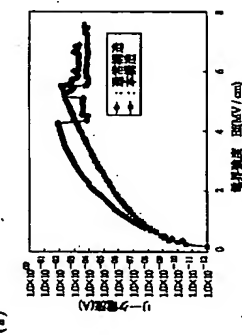
【図16】

图 16



【图17】

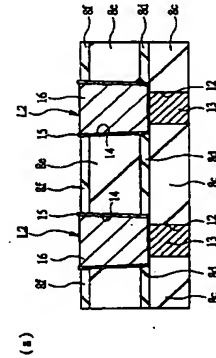
11 17



(b) FOIA

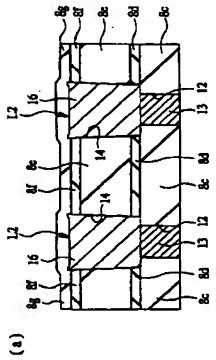
【図22】

図22

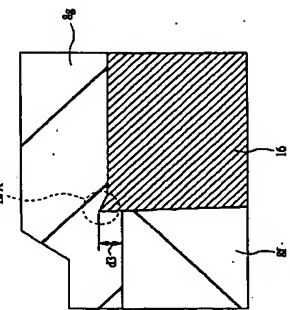
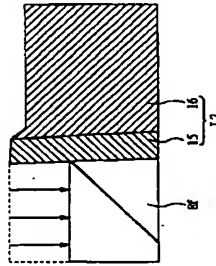


【図23】

図23

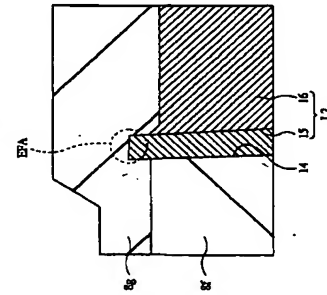


(b)



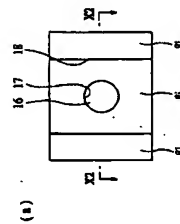
【図24】

図24



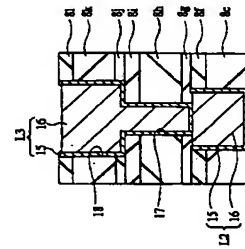
【図25】

図25

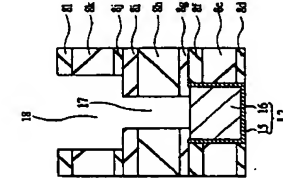


【図28】

図28

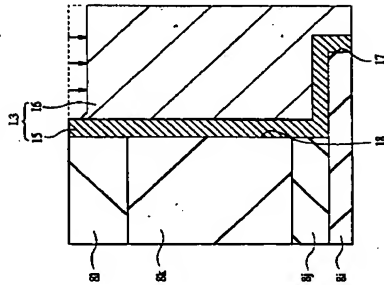


(b)



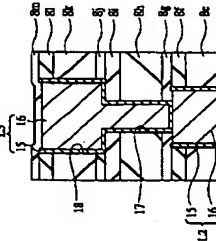
【図29】

図29



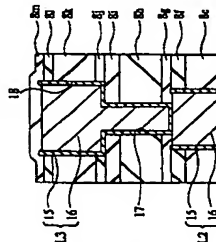
【図30】

図30



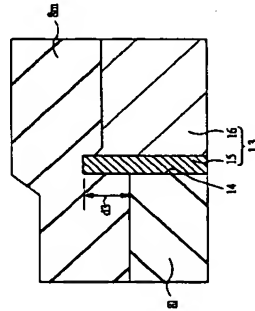
【図32】

図32



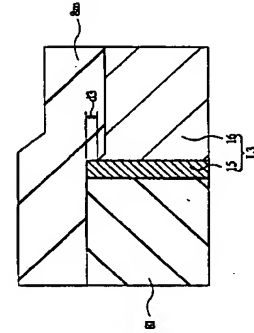
【図33】

図33



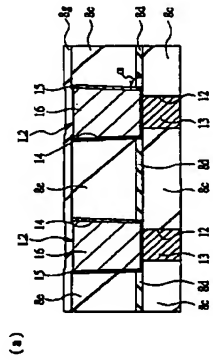
【図31】

図31



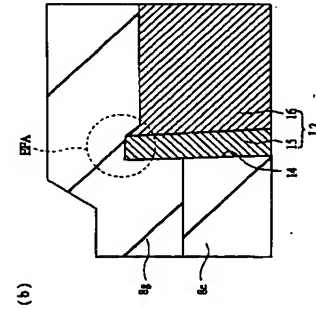
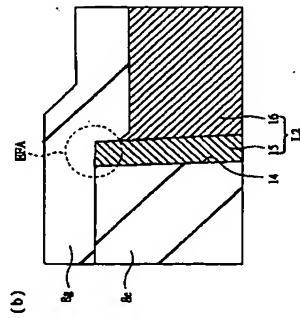
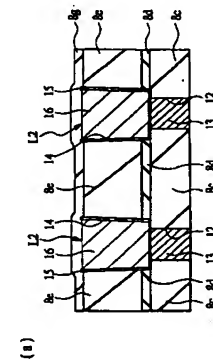
【図34】

図34



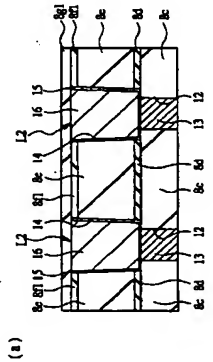
【図35】

図35

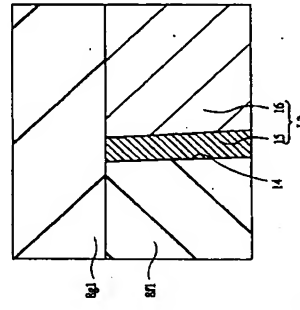


【図36】

図36

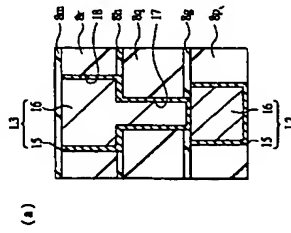


(b)

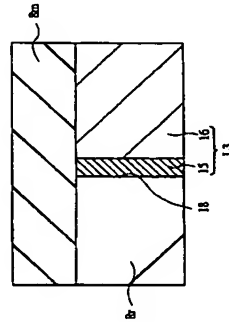


【図37】

図37



(b)



フロントページの続き

(72)発明者 大橋 直史
東京都青島市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内

Fターム(参考) 5F033 G03 G04 HH04 HH11 HH18
HH19 HH21 HH23 HH27 HH32
HH33 HH34 JJ19 JJ33 KK03
KK19 KK25 KK27 MM01 MM02
MM07 MM12 MM13 MM17 NN06
NN07 PP06 PP15 PP21 PP22
PP27 PP28 QQ08 QQ09 QQ10
QQ11 QQ21 QQ25 QQ35 QQ37
QQ48 QQ73 QQ75 QQ78 QQ91
QQ93 QQ98 RR01 RR04 RR06
RR09 RR11 RR15 RR21 SS03
SS04 SS11 SS15 SS21 VV15
VV16 XX00 XX31
5F048 AA07 AB01 AC03 BA01 BB05
BB08 BB09 BB11 BB12 BC06
BE03 BF01 BF06 BF07 BF16
BG14 DA25